

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319935

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 21/205
H01L 21/28
H01L 21/3205
H01L 29/165

(21)Application number : 2000-138994

(71)Applicant : MITSUBISHI MATERIALS SILICON CORP
MITSUBISHI MATERIALS CORP

(22)Date of filing : 11.05.2000

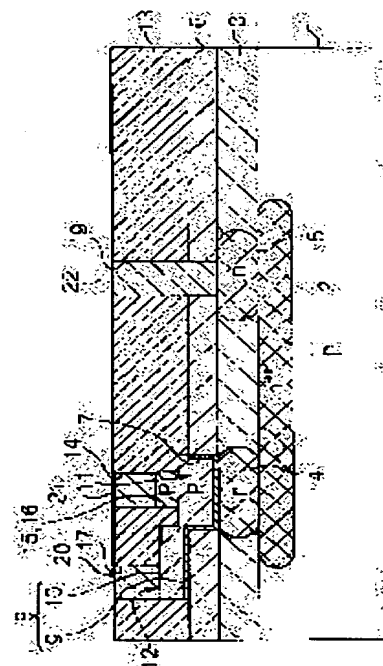
(72)Inventor : SHIONO ICHIRO
MIZUSHIMA KAZUKI

(54) SiGe FILM FORMING METHOD, METHOD OF MANUFACTURING HETEROJUNCTION TRANSISTOR AND HETEROJUNCTION BIPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an SiGe film on an insulating film from becoming rough and to improve film quality and film resistance in an SiGe film forming method, a manufacturing method of a heterojunction transistor and a heterojunction bipolar transistor.

SOLUTION: A method for forming a SiGe film 8 on the insulating film 6 is provided with a buffer forming process for forming a first Si(1-x)Gex film 9 ($0 \leq x < 0.05$) on the insulating film and a main film forming process for forming a second Si(1-y)Gey film 10 ($0.05 \leq y < 1$) on the first Si(1-x)Gex film. The buffer forming process forms the first Si(1-x)Gex in the thickness range of 0.5 nm to 5 nm.



LEGAL STATUS

[Date of request for examination] 30.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3603747

[Date of registration] 08.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-319935
(P2001-319935A)

(43) 公開日 平成13年11月16日 (2001. 11. 16)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/331		H 0 1 L 21/205	4 M 1 0 4
29/73		21/28	3 0 1 Z 5 F 0 0 3
21/205		29/165	5 F 0 3 3
21/28	3 0 1	29/72	5 F 0 4 5
21/3205		21/88	P
審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2000-138994 (P2000-138994)

(22) 出願日 平成12年5月11日 (2000. 5. 11)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(71) 出願人 000006264

三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号

(72) 発明者 塩野 一郎

埼玉県大宮市北袋町1丁目297番地 三菱
マテリアル株式会社総合研究所内

(74) 代理人 100064908

弁理士 志賀 正武 (外6名)

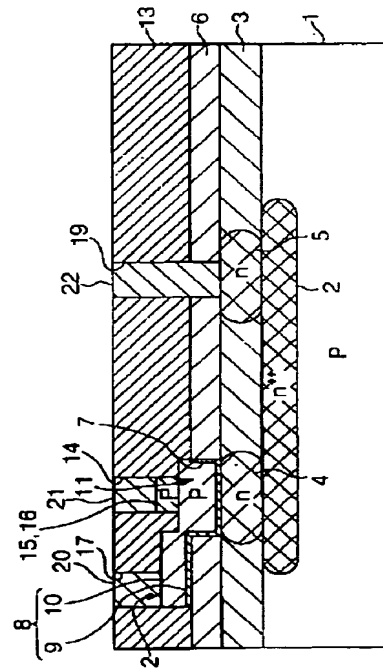
最終頁に続く

(54) 【発明の名称】 SiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタ

(57) 【要約】

【課題】 SiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタにおいて、絶縁膜上のSiGe膜が荒れることを防いで膜質及び膜抵抗を改善すること。

【解決手段】 絶縁膜6上にSiGe膜8を形成する方法であって、前記絶縁膜上に第1のSi_(1-x)Ge_x膜9 (0 ≤ x < 0.05) を形成するバッファ形成工程と、前記第1のSi_(1-x)Ge_x膜上に第2のSi_(1-y)Ge_y膜10 (0.05 ≤ y < 1) を形成する主膜形成工程とを備え、前記バッファ形成工程は、前記第1のSi_(1-x)Ge_x膜を0.5 nm以上5 nm以下の厚さ範囲で成膜する。



【特許請求の範囲】

【請求項1】 絶縁膜上にSiGe膜を形成する方法であって、

前記絶縁膜上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ($0 \leq x < 0.05$) を形成するバッファ形成工程と、

前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ($0.05 \leq y < 1$) を形成する主膜形成工程とを備え、

前記バッファ形成工程は、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜を0.5nm以上5nm以下の厚さ範囲で成膜すること 10 を特徴とするSiGe膜の形成方法。

【請求項2】 請求項1に記載のSiGe膜の形成方法であって、

少なくとも前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を、0.133Pa以上 1.33×10^4 Pa以下の圧力範囲の減圧CVD法により成膜することを特徴とするSiGe膜の形成方法。

【請求項3】 SiGeのベース領域を有するヘテロ接合トランジスタを製造する方法であって、

コレクタ領域が形成されたSi基板上に絶縁膜を形成する工程と、 20

前記絶縁膜の一部に前記コレクタ領域に通じる窓部を形成する工程と、

前記窓部上及び前記絶縁膜上にSiGe膜を非選択的に形成し窓部上に前記ベース領域を形成すると共に前記絶縁膜上にベース電極までの引き出し線に供される領域を形成するSiGe膜形成工程と、

前記ベース領域上にSiのエミッタ領域を形成する工程とを備え、

前記SiGe膜形成工程は、前記SiGe膜を請求項1又は2に記載のSiGe膜の形成方法により形成すること 30 を特徴とするヘテロ接合トランジスタの製造方法。

【請求項4】 請求項3に記載のヘテロ接合トランジスタを製造する方法において、

前記SiGe膜形成工程は、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜のGe組成比yが $0.08 \leq y \leq 0.3$ の範囲内であることを特徴とするヘテロ接合トランジスタの製造方法。

【請求項5】 SiGeのベース領域を有するヘテロ接合トランジスタであって、 40

Si基板上に形成されたコレクタ領域と、

前記Si基板上に形成され前記コレクタ領域に通じる窓部を有した絶縁膜と、

前記窓部上に形成されSiGe膜からなるベース領域と、

前記絶縁膜上に形成され前記ベース領域に接続されたSiGe膜からなる引き出し線と、

前記ベース領域上に形成されたSiのエミッタ領域とを備え、

少なくとも前記引き出し線は、前記絶縁膜上に形成され 50

た第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ($0 \leq x < 0.05$) と、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に形成された第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ($0.05 \leq y < 1$) とを備え、

前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、0.5nm以上5nm以下の厚さであることを特徴とするヘテロ接合トランジスタ。

【請求項6】 請求項5に記載のヘテロ接合トランジスタにおいて、

前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜は、Ge組成比yが $0.08 \leq y \leq 0.3$ の範囲内であることを特徴とするヘテロ接合トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、ヘテロ接合トランジスタにおけるベース引き出し線として好適なSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタに関する。

【0002】

【従来の技術】 ベース領域よりもエミッタ領域のバンドギャップを大きくしてエミッタの注入効率を大幅に向上させることにより、電流利得の増大を図るHBT（ヘテロ接合トランジスタ）は、低雑音かつSiでは達成し得ない高速動作が可能であり、論理回路、通信システム、マイクロ波デバイス（A/D変換に用いるアンプ等）等に用いられる高機能デバイスである。

【0003】 従来、HBTは、GaAsとAlGaAsとの組み合わせ等により製作されていたが、近年、Si（シリコン）よりもSiGe（シリコンゲルマニウム）のバンドギャップが小さいことから、SiGeを用いたHBT（以下、SiGe-HBTと称す）が開発・研究されている。このSiGe-HBTは、技術蓄積の豊富なSiプロセスと整合し易い、Si-LSIとの混載（1チップ化）が可能、GaAsデバイスに比べて製造コストが下がる、Siに比べて環境的に扱いが難しいAs等を多量に用いないで済む等の利点がある。

【0004】 ベース領域にSiGeを用いるSiGe-HBTの製造プロセスとしては、例えば、コレクタ領域が形成されたシリコンウェーハ上に SiO_2 を形成し、この SiO_2 に対してベース開口部（ベース窓部）を設け、このベース開口部にSiGeをエピタキシャル成長してベース領域を形成した後、ベース領域上にSiのエミッタ領域を形成している。

【0005】 なお、従来、例えば、特開平9-181091号公報や特開2000-31155号公報では、SiGeの非選択エピタキシャル成長を行う前にバッファとしてSiを10～50nm成膜する技術が開示されている。また、例えば、D.L.Harame等(IEEE Transactions on Electron Devices, Vol. 42, No. 3, March 1995, p469.) やJ.L.Regolini等(Materials Science in Semiconducto

r Processing)では、ベース開口部を加工する際、ウェーハ全面に多結晶Si薄膜を堆積し、これをマスクとしてベース部の絶縁膜をエッチングした後、多結晶Si薄膜を剥離することなく、SiGeの非選択エピタキシャル成長を行う技術が提案されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の技術では、以下のような課題が残されている。非選択エピタキシャル成長によってSiGeを成膜させるSiGe-HBTでは、ベース開口部に成長するエピタキシャル層がベース層（ベース領域）として用いられると共に、ベース層に連続してSiO₂上に成長する多結晶層がベース引き出し線として用いられる。この場合、SiO₂上に直接SiGeを成膜するとSiO₂上に成長する多結晶層が膜荒れを起こし、結果としてベース引き出し線の抵抗が高くなり、トランジスタ特性を劣化させてしまう場合がある。特に、HBTのベース領域に要求される高いGe組成比ほど膜荒れが生じ易く、また膜厚が薄いほど、その効果が顕著になり易いという傾向がある。

【0007】上記従来技術では、SiO₂上に予めSiのバッファ層を10～50nm成膜しているため、その上に成長するSiGeの膜荒れが生じ難いと思われるが、このバッファ層をベース層とする場合、バッファ層厚10～50nm分だけ実質的にベース層厚が厚くなってしまう。すなわち、一般的にトランジスタのベース層幅は薄いほど高速なトランジスタとなるが、従来技術ではバッファ層厚の分だけ電子のベース走行時間が長くなり、高速動作のためにSiGeベース層を採用したメリットが低減し、トランジスタの動作速度がSiGeのみでベース領域を形成する場合よりも遅くなってしまふ不都合があった。

【0008】また、多結晶Si薄膜をマスクとしてベース部の絶縁膜をエッチングした後SiGe成長を行う上記従来技術では、多結晶Siの成膜とSiGeの成膜とで異なる製造工程を必要とするが、近年のLSI製造では微細配線の結果、製造工程中の熱履歴を極力抑える必要があり、デバイスに対する熱影響の観点からも、この従来技術のように熱工程が多いことは好ましいことではない。

【0009】本発明は、前述の課題に鑑みてなされたもので、絶縁膜上のSiGe膜が荒れることを防いで膜質及び膜抵抗を改善することができるSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタを提供することを目的とする。

【0010】

【課題を解決するための手段】本発明者らは、SiGeの成膜技術について研究を行ってきた結果、一定範囲のGe組成比であれば非常に薄いSiGeバッファ層厚で

も、膜荒れ及び抵抗を大幅に改善することができることを見出した。すなわち、本発明者らは、SiO₂上にGe組成比を変えたSiGe膜を成長し、その成膜状態等を調べると共に、バッファ層の厚さを変えたSiGe膜を成長し、その抵抗を測定した。なお、図5、図6及び図7は、それぞれGe組成比を0.04、0.13及び0.30としたSiGe膜のSEM写真である。また、図8は、抵抗測定の一例であり、SiO₂上にバッファ層としてSi膜を成長し、該バッファ層の層厚を0～5nmまで変えた場合のSiGe膜（Ge組成比0.30、バッファ層上の層厚は同一）のシート抵抗を示すグラフである。

【0011】図6～図7からわかるように、Ge組成比が0.13の場合では、SiGe膜は部分的に不連続化しており、さらにGe組成比0.30の場合では完全に不連続化してしまいほとんど成膜されていないのに対し、0.04の場合では、全体的に不連続化しておらず、良質な成膜状態が得られていることがわかった。また、図8からわかるように、バッファ層の層厚が0.5nmでは抵抗値が約半分に低減され、さらに層厚が1nmで抵抗値が一桁下がるということがわかった。

【0012】したがって、本発明は、この知見に基づいた技術であり、前記課題を解決するために以下の構成を採用した。すなわち、本発明のSiGe膜の形成方法は、絶縁膜上にSiGe膜を形成する方法であって、前記絶縁膜上に第1のSi_(1-x)Ge_x膜（0≤x<0.05）を形成するバッファ形成工程と、前記第1のSi_(1-x)Ge_x膜上に第2のSi_(1-y)Ge_y膜（0.05≤y<1）を形成する主膜形成工程とを備え、前記バッファ形成工程は、前記第1のSi_(1-x)Ge_x膜を0.5nm以上5nm以下の厚さ範囲で成膜することを特徴とする。

【0013】このSiGe膜の形成方法では、バッファ形成工程において、第1のSi_(1-x)Ge_x膜を0.5nm以上5nm以下の厚さ範囲で成膜するので、従来のように10～50nmという厚いバッファ層を不要とし、非常に薄いバッファ層で第2のSiGe膜の不連続化

（膜荒れ）を改善し、抵抗も大幅に抵抗させることができる。なお、上述したように、第1のSi_(1-x)Ge_x膜を少なくとも0.5nmとすると、全く第1のSi_(1-x)Ge_x膜を設けない場合（第2のSi_(1-y)Ge_y膜のみ）よりも抵抗値を大幅に低減する効果が得られる。例えば、第2のSi_(1-y)Ge_y膜がGe組成比y=0.3であっても、第1のSi_(1-x)Ge_x膜を0.5nmとすると抵抗値を約半分に低減でき、より好ましくは1nmとすると抵抗値を一桁下げることができる。なお、第1のSi_(1-x)Ge_x膜を5nm以下としたのは、これ以上厚くしても低抵抗化の効果が小さく、抵抗値があまり変わらないためである。

【0014】また、本発明のSiGe膜の形成方法は、

少なくとも前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を、 0.133 Pa 以上 $1.33 \times 10^4\text{ Pa}$ 以下の圧力範囲の減圧CVD法により成膜する場合に好適である。すなわち、減圧CVD法は、高真空中で成膜を行うUHV-CVD法よりも SiGe 膜の膜荒れが顕著になるおそれがあるが、本発明の第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の成膜方法に減圧CVD法を適用することにより、UHV-CVD法等の成長方法に比べて顕著に膜荒れ抑制の効果をj得ることができる。また、減圧CVD法でも容易に良質な SiGe 膜を得ることができるため、UHV-CVD法等の高真空技術を用いる必要がなくなり、生産性等を向上させることができる。

【0015】本発明のヘテロ接合トランジスタの製造方法は、 SiGe のベース領域を有するヘテロ接合トランジスタを製造する方法であって、コレクタ領域が形成された Si 基板上に絶縁膜を形成する工程と、前記絶縁膜の一部に前記コレクタ領域に通じる窓部を形成する工程と、前記窓部上及び前記絶縁膜上に SiGe 膜を非選択的に形成し窓部上に前記ベース領域を形成すると共に前記絶縁膜上にベース電極までの引き出し線に供される領域を形成する SiGe 膜形成工程と、前記ベース領域上に Si のエミッタ領域を形成する工程とを備え、前記 SiGe 膜形成工程は、前記 SiGe 膜を上記本発明の SiGe 膜の形成方法により形成することを特徴とする。

【0016】また、本発明のヘテロ接合トランジスタは、 SiGe のベース領域を有するヘテロ接合トランジスタであって、 Si 基板上に形成されたコレクタ領域と、前記 Si 基板上に形成され前記コレクタ領域に通じる窓部を有した絶縁膜と、前記窓部上に形成され SiGe 膜からなるベース領域と、前記絶縁膜上に形成され前記ベース領域に接続された SiGe 膜からなる引き出し線と、前記ベース領域上に形成された Si のエミッタ領域とを備え、少なくとも前記引き出し線は、前記絶縁膜上に形成された第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ($0 \leq x < 0.05$) と、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に形成された第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ($0.05 \leq y < 1$) とを備え、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、 0.5 nm 以上 5 nm 以下の厚さであることを特徴とする。

【0017】これらのヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタでは、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ($0 \leq x < 0.05$) 上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ($0.05 \leq y < 1$) が形成され、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜が 0.5 nm 以上 5 nm 以下の厚さであるので、絶縁膜上に膜荒れが抑制された SiGe 膜が得られ、ベース引き出し線を低抵抗化できると共に、ベース領域の SiGe 膜として、薄い第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜をバッファとしているので、全体としてベース層幅を薄くすることができる。

【0018】また、本発明のヘテロ接合トランジスタの製造方法は、前記 SiGe 膜形成工程が、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の Ge 組成比 y が $0.08 \leq y \leq 0.3$ の範囲内であることが好ましい。また、本発明のヘテロ接合トランジスタは、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の Ge 組成比 y が $0.08 \leq y \leq 0.3$ の範囲内であることが好ましい。

【0019】これらのヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタでは、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の Ge 組成比 y が $0.08 \leq y \leq 0.3$ の範囲内であるので、HBTのベース領域として好適なバンドギャップが得られる。

【0020】

【発明の実施の形態】以下、本発明に係る SiGe 膜の形成方法及びヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態を、図1から図3を参照しながら説明する。

【0021】図1は、本発明のヘテロ接合バイポーラトランジスタシリコン (HBT) の概略的な断面構造を示すものである。該HBTの構造をその製造プロセスと合わせて説明すると、図2の(a)に示すように、p型シリコンウェーハ (Si 基板) 1表面には、ヒ素打ち込みにより n^+ にドーピングされた埋込みサブコレクタ領域2が形成され、さらにシリコンウェーハ1表面にn型単結晶シリコンの $n\text{-Si}$ エピタキシャル層3をエピタキシャル成長により形成する。

【0022】次に、図2の(b)に示すように、 $n\text{-Si}$ エピタキシャル層3に埋込みサブコレクタ領域2に達するようにリン打ち込みにより、 n^+ にドーピングされた第1のコレクタウェル4及び第2のコレクタウェル5 (コレクタ領域) が生成される。そして、図2の(c)に示すように、 $n\text{-Si}$ エピタキシャル層3の表面に絶縁膜として第1の SiO_2 層 (二酸化シリコン層) 6を熱酸化工程により形成する。この後、第1の SiO_2 層6にマスク処理を施して選択的にエッチングを行い、第1のコレクタウェル4に通じるベース窓部7を形成する。

【0023】次に、図2の(d)に示すように、ベース窓部7上及び第1の SiO_2 層6上に SiGe 膜8を非選択的に形成する。この SiGe 膜8は、バッファ層として形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ($0 \leq x < 0.05$) 9と、該第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9上に形成される第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ($0.05 \leq y < 1$) 10との2層構造を有する。

【0024】すなわち、 SiGe 膜8を形成するには、まず、ベース窓部7上及び第1の SiO_2 層6上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9を 0.5 nm 以上 5 nm 以下の厚さ範囲で非選択エピタキシャル成長により成膜する (バッファ形成工程)。さらに、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を非選択エピタキシャル成長により成膜する。

【0025】なお、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2

の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10は、 0.133Pa 以上 $1.33 \times 10^4\text{Pa}$ 以下の圧力範囲の減圧CVD法により成膜する。また、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10のGe組成比 y は、より好ましくは $0.08 \leq y \leq 0.3$ の範囲内に設定される。また、この減圧CVD法における成膜温度は、 $600 \sim 800^\circ\text{C}$ であると共に、キャリアガスとして H_2 を、ソースガスとして SiH_4 及び GeH_4 を用いている。

【0026】この成膜工程では、ベース窓部7に形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10が、単結晶のエピタキシャル層として形成され、第1の SiO_2 層6上に形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10が、多結晶の非エピタキシャル層として形成される。なお、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10は、ホウ素によりpにドーピングされる。このようにして、ベース窓部7に SiGe 膜8によるヘテロ接合のベース領域11が形成される。

【0027】次に、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10上にマスク処理を施して選択的にエッチングを行い、図3の(a)に示すように、ベース引き出し線12及びベース領域11に供される部分を残して第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を除去する。さらに、図3の(b)に示すように、残った第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10上及び露出した第1の SiO_2 層6上に第2の SiO_2 層13を成膜する。

【0028】次に、第2の SiO_2 層13上にマスク処理を施して選択的にウェットエッチングを行い、ベース領域11に通じるエミッタ窓部14を形成する。この後、エミッタ窓部14及び第2の SiO_2 層13上にCVD法により Si をエピタキシャル成長させ、エミッタ窓部14に Si 単結晶層15を成膜してエミッタ領域16を形成する。そして、エミッタ窓部14にマスク処理を施し、エミッタ領域16に供される部分を残して第2の SiO_2 層13上の Si をエッチング処理により除去する。

【0029】次に、第2の SiO_2 層13上にマスク処理を施して選択的にウェットエッチングを行い、図3の(c)に示すように、ベース引き出し線12に通じるベース電極窓部17と、エミッタ領域16に通じるエミッタ電極窓部18と、第2のコレクタウェル5に通じるコレクタ電極窓部19とを形成する。この後、ベース電極窓部17、エミッタ電極窓部18及びコレクタ電極窓部19に、金属材料を選択的に埋め込んでそれぞれベース電極20、エミッタ電極21及びコレクタ電極22を形成することにより、本実施形態のHBTが製造される。

【0030】本実施形態の SiGe 膜の形成方法、HBTの製造方法及びHBTでは、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9 ($0 \leq x < 0.05$)上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10 ($0.05 \leq y < 1$)が形成され、第1の $\text{Si}_{(1-x)}$

Ge_x 膜9が 0.5nm 以上 5nm 以下の厚さであるので、第1の SiO_2 層6上に膜荒れが抑制された SiGe 膜8が得られ、ベース引き出し線12を低抵抗化できると共に、ベース領域11の SiGe 膜8としては、薄い第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9をバッファとしているので、全体としてベース層幅が薄くなり、高速動作を得ることができる。

【0031】また、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を 0.133Pa 以上 $1.33 \times 10^4\text{Pa}$ 以下の圧力範囲の減圧CVD法で成膜するので、UHV-CVD法等の成長方法に比べて顕著に膜荒れ抑制の効果を得ることができると共に、減圧CVD法でも容易に良質な SiGe 膜を得ることができるため、UHV-CVD法等の高真空技術を用いる必要がなくなり、生産性等を向上させることができる。なお、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10のGe組成比 y が $0.08 \leq y \leq 0.3$ の範囲内であるので、HBTのベース領域11として好適なバンドギャップが得られる。

【0032】

【実施例】次に、本発明に係る SiGe 膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタを、実施例により具体的に説明する。

【0033】上記実施形態と同様に第1の SiO_2 層上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を実際に成膜し、その成膜状態及び抵抗(シート抵抗)を調べた。なお、本発明に係る実施例の第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜は、Ge組成比 y が 0.30 である。また、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、層厚が 5nm であってGe組成比が 0 、すなわち Si 膜を用いている。

【0034】図4は、本発明の実施例による SiGe 膜のSEM写真を示したものである。この図4と、比較例としての図7とを比較すると、バッファ層を有しない比較例の場合は、 SiGe が不連続化してほとんど成膜されていないのに対し、本実施例の場合では、連続かつ良質な成膜状態が得られていることがわかる。

【0035】また、 SiGe 層(Ge組成比 0.30)を成膜した際のシート抵抗を調べたところ、図8に示すように、バッファ層のない SiGe 層の場合は $1 \times 10^5 \Omega$ であったのに対し、本発明の実施例では、 $1 \times 10^4 \Omega$ であり、一桁も低抵抗化していた。このように、本発明を適用した場合は、従来と比べて良質な膜が得られると共に大幅な低抵抗化が得られた。

【0036】なお、本発明は、次のような実施形態も含むものである。上記実施形態では、本発明の SiGe 膜の形成方法をHBTにおけるベース引き出し線形成に適用したが、絶縁膜上に SiGe 膜を成膜した構造を有する他のデバイス等の製造に適用しても構わない。例えば、MOSトランジスタ等のMOS構造において、ゲート酸化膜上にゲート電極として SiGe 膜を形成する場合

合等に本発明を適用してもよい。

【0037】また、上記実施形態では、第1のSiGe膜としてGe組成比が一定の層を形成したが、Ge組成比 x が $0 \leq x < 0.05$ の範囲内で変化している第1のSiGe膜でも構わない。例えば、絶縁膜(SiO₂)上にGe組成比 x を0から0.15まで徐々に増加させながら組成が傾斜したSiGe層を形成し、この傾斜組成のSiGe層上にさらにGe組成比 x が0.15のSiGe層を形成する場合も本発明に含まれる。

【0038】すなわち、絶縁膜上に形成される傾斜組成SiGe層のうち初期の $0 \leq x < 0.05$ のGe組成比 x を有する層の領域が、 $0.5 \text{ nm} \leq 5 \text{ nm}$ 以下の厚さであれば、この層の領域が本発明における第1のSiGe膜とみなすことができる。そして、この領域以降のGe組成比 x が0.05から0.15までのSiGe領域は、本発明における第2のSiGe膜とみなすことができる。このように、本発明における第1のSiGe膜上に成膜する第2のSiGe膜は、第1のSiGe膜の成膜後に成膜工程を中断することなく連続的に成膜されるSiGe層も含むものである。

【0039】

【発明の効果】本発明によれば、以下の効果を奏する。本発明のSiGe膜の形成方法によれば、バッファ形成工程において、第1のSi_(1-x)Ge_x膜を 0.5 nm 以上 5 nm 以下の厚さ範囲で成膜するので、従来のように $10 \sim 50 \text{ nm}$ という厚いバッファ層を不要とし、非常に薄い厚さのバッファ層で第2のSiGe膜の不連続化(膜荒れ)を改善し、抵抗も大幅に低抵抗化させることができ、絶縁膜上のSiGe膜を種々のデバイスにおける低抵抗な配線や電極として用いることが可能になる。

【0040】また、本発明のヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタによれば、第1のSi_(1-x)Ge_x膜($0 \leq x < 0.05$)上に第2のSi_(1-y)Ge_y膜($0.05 \leq y < 1$)が形成され、第1のSi_(1-x)Ge_x膜が 0.5 nm 以上 5 nm 以下の厚さであるので、絶縁膜上に膜荒れが抑制されたSiGe膜が得られ、薄いバッファ層厚にもかかわらず、低抵抗ベース引き出し線として使用し得る膜を得ることができる。この結果、SiGeベース領域を厚いバッファ層無しで作製することができるようになり、非選択エピタキシャル成長によって、より高速な動作が可能なSiGe-H

BTを実現することができる。

【図面の簡単な説明】

【図1】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態におけるHBTを示す概略的な断面図である。

【図2】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜形成までの製造プロセスを工程順に示す断面図である。

【図3】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜形成後から各電極形成までの製造プロセスを工程順に示す断面図である。

【図4】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜の成膜状態を示すSEM写真である。

【図5】 SiO₂上に形成したGe組成比0.04のSiGe膜の成膜状態を示すSEM写真である。

【図6】 SiO₂上に形成したGe組成比0.13のSiGe膜の成膜状態を示すSEM写真である。

【図7】 SiO₂上に形成したGe組成比0.30のSiGe膜の成膜状態を示すSEM写真である。

【図8】 バッファ層の層厚を $0 \sim 5 \text{ nm}$ まで変えた場合のSiGe膜のシート抵抗を示すグラフである。

【符号の説明】

- 1 p型シリコンウェーハ (Si基板)
- 4 第1のコレクタウェル (コレクタ領域)
- 5 第2のコレクタウェル (コレクタ領域)
- 6 第1のSiO₂層 (絶縁膜)
- 7 ベース窓部 (窓部)
- 8 SiGe膜
- 9 第1のSi_(1-x)Ge_x膜
- 10 第2のSi_(1-y)Ge_y膜
- 11 ベース領域
- 12 ベース引き出し線 (引き出し線)
- 16 エミッタ領域
- 20 ベース電極

【図5】



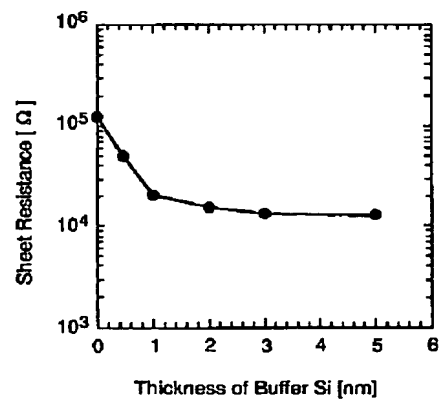
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. ⁷
H01L 29/165

識別記号

F I

テマコード (参考)

(72)発明者 水嶋 一樹
埼玉県大宮市北袋町1丁目297番地 三菱
マテリアル株式会社総合研究所内

F ターム(参考) 4M104 AA01 AA07 BB36 BB38 CC05
DD43 FF13 HH16
5F003 BB00 BB02 BB04 BB05 BB07
BB08 BB90 BC08 BE08 BF06
BH18 BH99 BM01 BP31 BP33
BP94 BP97
5F033 HH03 LL09 MM05 PP03 PP09
VV06 WW02 WW04 WW05 XX10
5F045 AA06 AB01 AC01 AE15 AE17
AE19 AE21 AE23 AE25 AE27
AE29 AE30 AF08 CA02 DA53
DA57

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.